

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330369

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 29/812
H01L 21/338
H01P 1/185
H03H 7/18

(21)Application number : 10-127043

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.05.1998

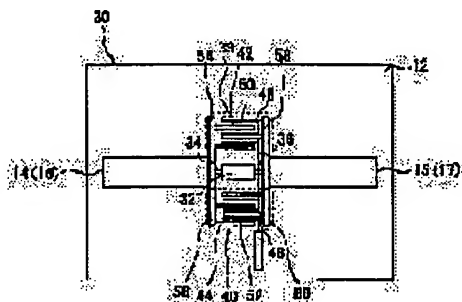
(72)Inventor : HIEDA MORISHIGE
TANIGUCHI EIJI
IYAMA YOSHITADA

(54) PHASE-SHIFT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase-shift circuit in which reduction of the phase-shift error of the phase shift circuit is easy that changes passing phase of a transmitting signal, operating in a microwave or millimeter-wave band.

SOLUTION: A phase-shift circuit 30 changes passing phase of transmitting signals between a first microstrip line 16 and a second microstrip line 17. A capacitor 32 is placed between the first microstrip line 16 and the second microstrip line 17. Field-effect transistors 38 and 40 are formed on both sides of a capacitor 32, being provided with drain electrodes 42 and 44 which are in continuity to the first microstrip line 16 and drain electrodes 46 and 48 which are in continuity to the second microstrip line 17, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

先行技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330369

(43) 公開日 平成11年(1999)11月30日

(51) Int. Cl.⁶ 識別記号

H 0 1 L 27/04

21/822

29/812

21/338

H 0 1 P 1/185

F I

H 0 1 L 27/04

H 0 1 P 1/185

H 0 3 H 7/18

H 0 1 L 27/04

29/80

C

Z

P

R

審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平10-127043

(22) 出願日 平成10年(1998) 5月11日

2つのマイクロストリップ線路の間には
インダクタと抵抗を挿入し、また、電圧降下を
抵抗を挿入し、(図2)の如く
した。両者を並列に接続する。

② 6は FET

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松枝 護重

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 谷口 英司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 伊山 義忠

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

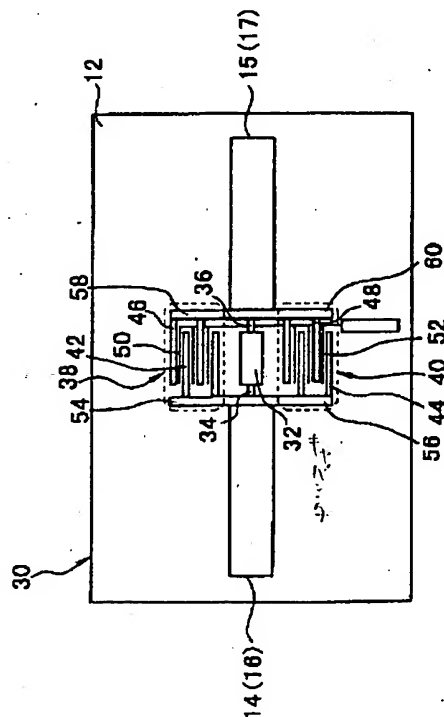
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 移相回路

(57) 【要約】

【課題】 本発明はマイクロ波帯またはミリ波帯で動作し、通過する信号の通過位相を変化させる移相回路に関し、移相量誤差の低減が容易な移相回路を提供することを目的とする。

【解決手段】 第1のマイクロストリップ線路16と第2のマイクロストリップ線路17との間に配置され、通過する信号の通過位相を変化させる移相回路30を設ける。第1のマイクロストリップ線路16と、第2のマイクロストリップ線路17との間にキャパシタ32を配置する。第1のマイクロストリップ線路16と導通するドレイン電極42、44と、第2のマイクロストリップ線路17と導通するソース電極46、48とを備える第1および第2の電界効果トランジスタ38、40をキャパシタ32の両側に配置する。



【特許請求の範囲】

【請求項1】 第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1のマイクロストリップ線路と、前記第2のマイクロストリップ線路との間に配置されるキャパシタと、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とを備える電界効果トランジスタと、を備えることを特徴とする移相回路。

【請求項2】 前記キャパシタは、前記第1および第2のマイクロストリップ線路の一方と導通する第1のストリップ導体と、前記第1および第2のマイクロストリップ線路の他方と導通する第2のストリップ導体とを備えるインターディジタルキャパシタであることを特徴とする請求項1記載の移相回路。

【請求項3】 前記インターディジタルキャパシタが備える前記第1および第2のストリップ導体は、前記電界効果トランジスタが備える前記ドレイン電極および前記ソース電極に比して長いことを特徴とする請求項2記載の移相回路。

【請求項4】 前記電界効果トランジスタは、前記キャパシタの両側に配置される第1および第2の電界効果トランジスタを含むことを特徴とする請求項1または2記載の移相回路。

【請求項5】 第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とを備える第1の電界効果トランジスタと、ドレイン電極およびソース電極の一方が前記第1のマイクロストリップ線路と導通する第2の電界効果トランジスタと、ドレイン電極およびソース電極の一方が前記第2のマイクロストリップ線路と導通し、かつ、それらの他方が、前記第2の電界効果トランジスタのドレイン電極およびソース電極の他方と導通する第3の電界効果トランジスタと、前記第1および第2の電界効果トランジスタと前記第1のマイクロストリップ線路とを接続する概略直線状の第1の共通ストリップ導体と、前記第1および第3の電界効果トランジスタと前記第2のマイクロストリップ線路とを接続する概略直線状の第2の共通ストリップ導体と、を備えることを特徴とする請求項1乃至3の何れか1項記載の移相回路。

【請求項6】 前記第1乃至第3の電界効果トランジスタは、それぞれ、所望の移相量を確保するためのゲート幅を有していることを特徴とする請求項5記載の移相回路。

【請求項7】 前記第2の電界効果トランジスタは、前記第1の共通ストリップ導体に対して前記第1の電界効果トランジスタと反対側に形成されていると共に、前記第2の電界効果トランジスタと、前記第3の電界効果トランジスタとは、所定長を有する第3のマイクロストリップ線路を介して接続されていることを特徴とする請求項5または6記載の移相回路。

【請求項8】 前記第3の電界効果トランジスタは、前記第2の共通ストリップ導体に対して前記第1の電界効果トランジスタと反対側に形成されていることを特徴とする請求項7記載の移相回路。

【請求項9】 前記第2および第3の電界効果トランジスタは、それぞれ、前記第1または第2の共通ストリップ導体に対して前記第1の電界効果トランジスタと同じ側に形成されていることを特徴とする請求項5または6記載の移相回路。

【請求項10】 前記第2および第3の電界効果トランジスタは、前記第1および第2の共通ストリップ導体と同じ長手方向を有する第3の共通ストリップ導体により接続されていることを特徴とする請求項9記載の移相回路。

【請求項11】 第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とをそれぞれ備える第1および第2の電界効果トランジスタと、前記第1および第2の電界効果トランジスタと前記第1のマイクロストリップ線路とを接続する概略直線状の第1の共通ストリップ導体と、前記第1および第2の電界効果トランジスタと前記第2のマイクロストリップ線路とを接続する概略直線状の第2の共通ストリップ導体とを備え、前記第1および第2の電界効果トランジスタは、それぞれ、所望の移相量を確保するためのゲート幅を有していることを特徴とする移相回路。

【発明の詳細な説明】
【0001】
【発明の属する技術分野】本発明は、移相回路に係り、特に、マイクロ波帯またはミリ波帯で動作し、通過する信号の通過位相を変化させる移相回路に関する。

【0002】

【従来の技術】従来、例えば、電子情報通信学会1996年総合大会講演論文集C-1、P. 55に開示される如く、マイクロ波帯またはミリ波帯で動作し、通過する信号の通過位相を変化させる移相器が知られている。

【0003】図4は、上記従来の移相器10の構造図を示す。図4に示す如く、従来の移相器10は、半導体基板12を備えている。半導体基板12の裏面には、その全面に、図示しない地導体が設けられている。半導体基板12の表面にはストリップ導体14、15が形成されている。ストリップ導体14、15は、半導体基板12およびその裏面の地導体と共にマイクロストリップ線路を構成する。以下、これらの線路をそれぞれ第1または第2のマイクロストリップ線路16、17と称す。

【0004】ストリップ導体14、15の間には電界効果トランジスタ（以下、FETと称す）18が形成されている。FET18は、ドレイン端子20およびソース端子22を備えている。FET18は、ゲート電圧に応じてドレイン端子20とソース端子22とを導通または遮断状態とする。半導体基板12の表面には、ドレイン端子20と導通するストリップ導体24、および、ソース端子22と導通するストリップ導体26が形成されている。ストリップ導体24、26の間にはキャパシタ28が形成されている。

【0005】次に、従来の移相回路10の動作を説明する。高周波信号がストリップ導体14に入力すると、その高周波信号は、第1のマイクロストリップ線路16を伝搬してFET18のドレイン端子20に到達すると共に、更にストリップ導体24を介してキャパシタ28に到達する。

【0006】FET18がオン状態である場合、すなわち、ゲート電圧がほぼ0Vの場合、FET18はほぼ短絡状態とみなせる。従って、この場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、FET18を通過してストリップ導体15、すなわち、第2のマイクロストリップ線路17に到達する。高周波信号が上記の経路を通過する場合、第2のマイクロストリップ線路17には、第1のマイクロストリップ線路16を伝搬する信号と実質的に位相の等しい信号が伝達される。

【0007】一方、FET18がオフ状態である場合、すなわち、ゲート電圧がFET18のピンチオフ電圧とほぼ同程度以上の場合、FET18はほぼ開放状態とみなせる。従って、この場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、主にストリップ導体24、26およびキャパシタ28を通過して第2のマイクロストリップ線路17に到達する。高周波信号が上記の経路を通過する場合、高周波信号には主にキャパシタ28に起因する位相変化が生ずる。このため、FET18がオフ状態である場合、第2のマイクロストリップ線路17には、第1のマイクロストリップ線路16を伝搬する信号に対して所定の位相差を有する信号が伝達される。

【0008】このように、従来の移相回路10は、FET18オン状態である場合と、FET18がオフ状態である場合とで、高周波信号に異なる通過位相を与えるこ

とができる。従って、従来の移相回路10によれば、移相回路に要求される機能を適正に実現することができる。

【0009】

【発明が解決しようとする課題】従来の移相回路10において、FET18がオフ状態である場合、高周波信号は、上記の如くキャパシタ28とストリップ導体24、26とを通過する。ストリップ導体24、26は、寄生インダクタンスを有している。このため、キャパシタ28とストリップ導体24、26とで構成される回路は、純粋なキャパシタとして動作しない。

【0010】また、従来の移相回路10において、FET18がオン状態である場合、高周波信号は、上記の如くFET18を通過して流れる。この際、ストリップ導体24、26は、第1のマイクロストリップ線路16から第2のマイクロストリップ線路17へ流れる高周波信号の反射源、すなわち、いわゆるスタブとして機能する。

【0011】このように、キャパシタ28とストリップ導体24、26とで構成される回路が、純粋なキャパシタとして動作しない場合、移相回路10の発生する移相量に誤差が生じ易くなる。同様に、高周波信号の流通経路中にスタブが形成されていると、移相回路10の発生する移相量に誤差が生じ易くなる。このため、従来の移相回路10においては、移相量誤差を低減することが必ずしも容易ではなかった。

【0012】本発明は、上記のような課題を解決するためになされたもので、移相量誤差の低減が容易な移相回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の請求項1に係る移相回路は、第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1のマイクロストリップ線路と、前記第2のマイクロストリップ線路との間に配置されるキャパシタと、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とを備える電界効果トランジスタと、を備えることを特徴とするものである。

【0014】本発明の請求項2に係る移相回路は、前記キャパシタが、前記第1および第2のマイクロストリップ線路の一方と導通する第1のストリップ導体と、前記第1および第2のマイクロストリップ線路の他方と導通する第2のストリップ導体とを備えるインターディジタルキャパシタであることを特徴とするものである。

【0015】本発明の請求項3に係る移相回路は、前記インターディジタルキャパシタが備える前記第1および第2のストリップ導体が、前記電界効果トランジスタが

備える前記ドレイン電極および前記ソース電極に比して長いことを特徴とするものである。

【0016】本発明の請求項4に係る移相回路は、前記電界効果トランジスタが、前記キャパシタの両側に配置される第1および第2の電界効果トランジスタを含むことを特徴とするものである。

【0017】本発明の請求項5に係る移相回路は、第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とを備える第1の電界効果トランジスタと、ドレイン電極およびソース電極の一方が前記第1のマイクロストリップ線路と導通する第2の電界効果トランジスタと、ドレイン電極およびソース電極の一方が前記第2のマイクロストリップ線路と導通し、かつ、それらの他方が、前記第2の電界効果トランジスタのドレイン電極およびソース電極の他方と導通する第3の電界効果トランジスタと、前記第1および第2の電界効果トランジスタと前記第1のマイクロストリップ線路とを接続する概略直線状の第1の共通ストリップ導体と、前記第1および第3の電界効果トランジスタと前記第2のマイクロストリップ線路とを接続する概略直線状の第2の共通ストリップ導体と、を備えることを特徴とするものである。

【0018】本発明の請求項6に係る移相回路は、前記第1乃至第3の電界効果トランジスタが、それぞれ、所望の移相量を確保するためのゲート幅を有していることを特徴とするものである。

【0019】本発明の請求項7に係る移相回路は、前記第2の電界効果トランジスタが、前記第1の共通ストリップ導体に対して前記第1の電界効果トランジスタと反対側に形成されていると共に、前記第2の電界効果トランジスタと、前記第3の電界効果トランジスタとは、所定長を有する第3のマイクロストリップ線路を介して接続されていることを特徴とするものである。

【0020】本発明の請求項8に係る移相回路は、前記第3の電界効果トランジスタが、前記第2の共通ストリップ導体に対して前記第1の電界効果トランジスタと反対側に形成されていることを特徴とするものである。

【0021】本発明の請求項9に係る移相回路は、前記第2および第3の電界効果トランジスタが、それぞれ、前記第1または第2の共通ストリップ導体に対して前記第1の電界効果トランジスタと同じ側に形成されていることを特徴とするものである。

【0022】本発明の請求項10に係る移相回路は、前記第2および第3の電界効果トランジスタが、前記第1および第2の共通ストリップ導体と同じ長手方向を有する第3の共通ストリップ導体により接続されていること

を特徴とするものである。

【0023】本発明の請求項11に係る移相回路は、第1のマイクロストリップ線路と第2のマイクロストリップ線路との間に配置され、通過する信号の通過位相を変化させる移相回路であって、前記第1および第2のマイクロストリップ線路の一方と導通するドレイン電極と、前記第1および第2のマイクロストリップ線路の他方と導通するソース電極とをそれぞれ備える第1および第2の電界効果トランジスタと、前記第1および第2の電界効果トランジスタと前記第1のマイクロストリップ線路とを接続する概略直線状の第1の共通ストリップ導体と、前記第1および第2の電界効果トランジスタと前記第2のマイクロストリップ線路とを接続する概略直線状の第2の共通ストリップ導体とを備え、前記第1および第2の電界効果トランジスタは、それぞれ、所望の移相量を確保するためのゲート幅を有していることを特徴とするものである。

【0024】

【発明の実施の形態】実施の形態1 以下、図1を参照して本発明の実施の形態1について説明する。図1は、本発明の実施の形態1の移相回路30の構成図を示す。本実施形態の移相回路30は、半導体基板12を備えている。半導体基板12の裏面には、その全面に、図示しない地導体が設けられている。半導体基板12の表面には、ストリップ導体14、15が形成されている。これらは、半導体基板12、および、上記の地導体と共に第1および第2のマイクロストリップ線路16、17を構成している。

【0025】第1および第2のマイクロストリップ線路16、17の間には、キャパシタ32が形成されている。キャパシタ32は、ストリップ導体34、36を介して、それぞれ第1および第2のマイクロストリップ線路16、17に接続されている。

【0026】半導体基板12の表面には、キャパシタ32の上下に第1の電界効果トランジスタ（以下、第1FETと称す）38、および、第2の電界効果トランジスタ（以下、第2FET18と称す）が形成されている。第1FET38および第2FET40は、それぞれ複数のドレイン電極42、44、複数のソース電極46、48、および、複数のゲート電極50、52を備えている。

【0027】第1FET38のドレイン電極42、および、第2FET40のドレイン電極44は、それぞれドレイン端子54、56を介してストリップ導体14に接続されている。一方、第1FET38のソース電極46、および、第2FET40のソース電極48は、それぞれソース端子58、60を介してストリップ導体15に接続されている。

【0028】第1FET38および第2FET40は、ゲート電極50、52に対して、ドレイン電極42、4

4およびソース電極46、48と同等の電圧を印加することによりオン状態となる。第1FET38および第2FET40は、オン状態とされることにより、ドレイン端子54、56とソース端子58、60とをほぼ短絡状態とする。

【0029】また、第1FET38および第2FET40は、ゲート電極50、52に対して、ドレイン電極42、44およびソース電極46、48に比して低い電圧を印加することによりオフ状態となる。第1FET38および第2FET40は、オフ状態とされることにより、ドレイン端子54、56とソース端子58、60とをほぼ開放状態とする。

【0030】次に本実施形態の移相回路30の動作を説明する。高周波信号がストリップ導体14に入力すると、その信号は第1のマイクロストリップ線路16を伝搬して、ストリップ導体34、および、ドレイン電極54、56に到達する。また、ストリップ導体34に到達した信号はキャパシタ32に到達する。

【0031】第1FET38および第2FET40が共にオン状態である場合、それらのドレイン端子54、56とソース端子58、60とは、ほぼ短絡状態となる。従って、この場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、主に第1FET38および第2FET40を介してストリップ導体15に伝達される。ストリップ導体15に到達した高周波信号は、以後、第2のマイクロストリップ線路17を通して出力される。以下、高周波信号が上記の経路を流通する状態を第1の状態と称す。

【0032】一方、第1FET38および第2FET40が共にオフ状態である場合、それらのドレイン端子54、56とソース端子58、60とは、ほぼ開放状態となる。この際、第1FET38および第2FET40は寄生キャパシタとして機能する。従って、第1FET38および第2FET40が共にオフ状態である場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、キャパシタ32、および、第1FET38および第2FET40の寄生キャパシタを通過した後、第2のマイクロストリップ線路17から出力される。以下、高周波信号が上記の経路を流通する状態を第2の状態と称す。

【0033】以上に示したように、本実施形態の移相回路30によれば、第1FET38および第2FET40を適宜制御することにより、第1の状態と第2の状態とを切り換えることができる。第1の状態が実現されている場合と、第2の状態が実現されている場合とでは、高周波信号に異なる通過位相が生ずる。このため、移相回路10によれば、第1FET38および第2FET40を適当に制御することにより、所望の移相量を発生させることができる。

【0034】本実施形態の移相回路30において、キャ

パシタ32は、上記の如く第1および第2のマイクロストリップ線路16、17の間に配置されている。上記の構造によれば、キャパシタ32を第1および第2のマイクロストリップ線路16、17に接続するためのストリップ導体34、36を十分に短くすることができる。

【0035】ストリップ導体34、36が十分に短い構成によれば、それらのストリップ導体34、36の寄生インダクタンスを十分に小さく抑制することができる。この場合、第1FET38および第2FET40が共にオフ状態とされた場合に、すなわち、第2の状態が実現された場合に、高周波信号が流通する経路をほぼ純粋なキャパシタとして動作させることができる。

【0036】更に、ストリップ導体34、36が十分に短い構成によれば、第1FET38および第2FET40が共にオン状態とされた場合に、すなわち、第1の状態が実現された場合に、高周波信号がストリップ導体34、36から受ける影響、すなわち、ストリップ導体34、36が信号の反射源として機能することによる影響を十分に小さく抑制することができる。

【0037】このため、本実施形態の移相回路30によれば、第1の状態および第2の状態の何れにおいても、高周波信号に精度良く所望の通過位相を発生させることができる。従って、本実施形態の移相回路30によれば、移相量誤差を有効に低減することができる。

【0038】ところで、上記の実施形態においては、半導体基板12上に移相回路30を構成するモノリシック構造を採用しているが、本発明はこれに限定されるものではなく、誘電体基板と半導体基板とを組み合わせる構成するディスクリート構造によっても同等の効果を得ることができる。

【0039】また、上記の実施形態においては、キャパシタ32の両側に2つの電界効果トランジスタ38、40を形成することとしているが、本発明はこれに限定されるものではなく、半導体基板12の表面に、キャパシタ32と並べて電界効果トランジスタを1つだけ形成することとしてもよい。

【0040】**実施の形態2**。次に、図2を参照して本発明の実施の形態2について説明する。図2は、本発明の実施の形態2の移相回路62の構成図を示す。尚、図2において、上記図1に示す構成部分と同一の構成部分については、同一の符号を付してその説明を省略または簡略する。

【0041】本実施形態の移相回路62は、第1のマイクロストリップ線路16と第2のマイクロストリップ線路17との間に、インターディジタルキャパシタ64を備えている。インターディジタルキャパシタ64は、複数の第1のストリップ導体66と、複数の第2のストリップ導体68とを備えている。

【0042】第1のストリップ導体66は、第1FET38および第2FET40のゲート端子54、56と共

にストリップ導体14に接続されている。一方、第2のストリップ導体68は、第1FET38および第2FET40のソース端子58、60と共にストリップ導体15に接続されている。第1および第2のストリップ導体66、68は、ドレイン電極42、44やソース電極46、48と平行に、所定間隔をあけて交互に配置されている。

【0043】次に本実施形態の移相回路62の動作を説明する。高周波信号が半導体基板12上のストリップ導体14に入力すると、その信号は第1のマイクロストリップ線路16を伝搬して第1FET38および第2FET40のドレイン端子54、56、および、インターデジタルキャパシタ64の第1のストリップ導体66に到達する。

【0044】第1FET38および第2FET40が共にオン状態である場合、すなわち、第1の状態が実現されている場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、主に第1FET38および第2FET40を介してストリップ導体15に伝達される。ストリップ導体15に到達した高周波信号は、以後、第2のマイクロストリップ線路17を通して出力される。

【0045】一方、第1FET38および第2FET40が共にオフ状態である場合、すなわち、第2の状態が実現されている場合、第1FET38および第2FET40は寄生キャパシタとして機能する。従って、この場合、第1のマイクロストリップ線路16を伝搬する高周波信号は、インターデジタルキャパシタ64、および、第1FET38および第2FET40の寄生キャパシタを通過した後、第2のマイクロストリップ線路17から出力される。以下、高周波信号が上記の経路を流通する状態を第2の状態と称す。

【0046】以上に示したように、本実施形態の移相回路62によれば、第1FET38および第2FET40を適宜制御することにより、第1の状態と第2の状態とを切り換えることができる。第1の状態が実現されている場合と、第2の状態が実現されている場合とでは、高周波信号に異なる通過位相が生ずる。このため、移相回路10によれば、第1FET38および第2FET40を適当に制御することにより、所望の移相量を発生させることができる。

【0047】本実施形態の移相回路62において、インターデジタルキャパシタ64は、第1および第2のストリップ導体66、68により直接的に第1または第2のマイクロストリップ線路16、17に接続されている。すなわち、本実施形態の移相回路線路線路16、17において、インターデジタルキャパシタ64は、ストリップ導体を介することなく直接的に第1および第2のマイクロストリップ線路16、17に接続されている。

【0048】上記の構成によれば、インターデジタル

キャパシタ64と第1および第2のマイクロストリップ線路16、17との間の寄生インダクタンスを極めて小さく抑制することができると共に、第1FET38および第2FET40がオン状態である場合に信号の流通経路内に信号の反射源が形成されるのを有効に防止することができる。このため、本実施形態の移相回路62によれば移相量誤差を有効に低減することができる。

【0049】ところで、上記の実施形態においては、インターデジタルキャパシタ32の両側に2つの電界効果トランジスタ38、40を形成することとしているが、本発明はこれに限定されるものではなく、半導体基板12の表面に、インターデジタルキャパシタ32と並べて電界効果トランジスタを1つだけ形成することとしてもよい。

【0050】実施の形態3。次に、図3を参照して、本発明の実施の形態3について説明する。尚、図3において、上記図2に示す構成部分と同一の部分については同一の符号を付してその説明を省略または簡略する。

【0051】図3は、本実施形態の移相回路70の構成図を示す。移相回路70は、第1のマイクロストリップ線路14と第2のマイクロストリップ線路15との間にインターデジタルキャパシタ72を備えている。インターデジタルキャパシタ72は、ストリップ導体14に直接接続される複数の第1のストリップ導体74と、ストリップ導体15に直接接続される複数の第2のストリップ導体76とを備えている。

【0052】本実施形態の移相回路70は、インターデジタルキャパシタ72が備える第1のストリップ導体74および第2のストリップ導体76が、第1FET38および第2FET40のドレイン電極42、44およびソース電極46、48に比して長い点に特徴を有している。

【0053】インターデジタルキャパシタ72においては、第1および第2のストリップ導体74、76が長いほど、大きな容量が確保される。従って、本実施形態の構成によれば、第1および第2のストリップ導体74、76の本数を増やすことなく、インターデジタルキャパシタ72に大きな容量を与えることができる。移相回路70が発生する移相量は、第1および第2のマイクロストリップ線路16、17の間に配置されるキャパシタが大きな容量を有するほど大きくなる。このため、本実施形態の移相回路70によれば、上記図2に示す移相回路62に対して移相量の設定範囲を拡大することができる。

【0054】ところで、上記の実施形態においては、インターデジタルキャパシタ72の両側に2つの電界効果トランジスタ38、40を形成することとしているが、本発明はこれに限定されるものではなく、半導体基板12の表面に、インターデジタルキャパシタ72と並べて電界効果トランジスタを1つだけ形成することと

してもよい。

【0055】実施の形態4. 次に、図4を参照して本発明の実施の形態4について説明する。尚、図4において、上記図1乃至3に示す構成部分と同一の部分については同一の符号を付してその説明を省略または簡略する。

【0056】図4は、本発明の実施の形態4の移相回路78の構成図を示す。本実施形態の移相回路78は、第1および第2のマイクロストリップ線路16、17の間に第1の電界効果トランジスタ（以下、第1FETと称す）80を備えている。また、移相回路78は、第1および第2のマイクロストリップ回路16、17と並んで、それぞれ、第2FET82および第3FET84を備えている。

【0057】第1乃至第3FET80～84は、それぞれ、複数のドレイン電極86～90、複数のソース電極92～96、および、複数のゲート電極98～102を備えている。第1乃至第3FET80～84は、ゲート電極98～102に対して、ドレイン電極86～90およびソース電極92～96と同等の電圧を印加することによりオン状態となる。第1乃至第3FET80～84は、オン状態とされることによりほぼ短絡状態となる。

【0058】また、第1乃至第3FET80～86は、ゲート電極98～102に対して、ドレイン電極86～90およびソース電極92～96に比して低い電圧を印加することによりオフ状態となる。第1乃至第3FET80～86は、オフ状態とされることによりほぼ開放状態となる。

【0059】本実施形態の移相回路78は、第1のマイクロストリップ線路16と導通する第1の共通ストリップ導体104と、第2のマイクロストリップ線路17と導通する第2の共通ストリップ導体106とを備えている。第1および第2の共通ストリップ導体104、106は、概略直線状に設けられている。

【0060】第1FET80のドレイン電極86、および、第2FET82のドレイン電極88は、共に第1の共通ストリップ導体104に接続されている。また、第1FET80のソース電極92、および、第3FET84のソース電極96は、共に第2の共通ストリップ導体106に接続されている。更に、第2FET82のソース電極94、および、第3FET84のドレイン電極90は、それぞれ、ソース端子108またはドレイン端子110に接続されている。

【0061】本実施形態の移相回路78において、第2FET82は、第1の共通ストリップ導体104に対して、第1FET80の反対側に形成されている。同様に、第3のFET84は、第2の共通ストリップ導体106に対して第1FET80の反対側に形成されている。換言すると、第2および第3FET82、84は、何れも第1および第2の共通ストリップ導体104、1

06で挟まれる領域の外側に形成されている。

【0062】上記の構成によれば、第1FET80と第2FET82とを第1の共通ストリップ導体104に接続させ、かつ、第1FET80と第3FET84とを第2の共通ストリップ導体106に接続させつつ、第2FET82のソース端子108と、第3FET110のソース端子110との間にある程度の距離を確保することができる。

【0063】第2FET82のソース端子108と、第3FET84のドレイン端子110とは、所定の電気長を有するストリップ導体112が形成されている。ストリップ導体112は、半導体基板12と、その裏面の地導体と共に第3のマイクロストリップ線路114を形成する。

【0064】次に本実施形態の移相回路78の動作を説明する。高周波信号が半導体基板12上のストリップ導体14に入力すると、その信号は第1のマイクロストリップ線路16を伝搬して第1の共通ストリップ導体104に到達する。

【0065】第1FET82がオン状態であり、かつ、第2および第3FET82、84がオフ状態である場合、第1のマイクロストリップ線路16を伝搬する高周波信号は第1FET80を介してストリップ導体15に伝達される。以後、その信号は第2のマイクロストリップ線路17を通して出力される。以下、高周波信号が上記の経路で伝搬される状態を第1の状態と称す。

【0066】一方、第1FET80がオフ状態であり、かつ、第2および第3FET82、84がオン状態である場合、第1のマイクロストリップ導体17を伝搬する高周波信号は、第2FET82、第3のマイクロストリップ線路114、および、第3FET84を通してストリップ導体15に伝達され、その後、第2のマイクロストリップ線路17を介して出力される。以下、高周波信号が上記の経路で伝搬される状態を第2の状態と称す。

【0067】以上に示したように、本実施形態の移相回路78によれば、第1乃至第3FET80～84を適当に制御することにより、第1の状態と第2の状態とを切り換えることができる。第1の状態が実現されている場合と、第2の状態が実現されている場合とでは、高周波信号が、ほぼ第3のマイクロストリップ線路114分だけ電気長の異なる経路を流通する。このため、移相回路78によれば、第1乃至第3FET80～84を適当に制御することにより、所望の移相量を発生させることができる。

【0068】本実施形態の移相回路78において、第1乃至第3FET80～84は、第1または第2の共通ストリップ導体104、106により、直接的に第1または第2のマイクロストリップ線路16、17に接続されている。このため、移相回路78においては、第1および第2の状態の何れにおいても、高周波信号の流通経路

に大きな寄生インダクタンスは発生せず、また、信号の反射源は生成されない。このため、本実施形態の移相回路62によれば、移相量誤差を有効に低減することができる。

【0069】また、本実施形態の移相回路78においては、第2および第3FET82, 84を、共に第1または第2の共通ストリップ導体104, 106に対して第1FET80の反対側に形成することで、第3のマイクロストリップ線路114の電気長を十分に確保している。移相回路78において第3のマイクロストリップ線路114が大きな電気長を有していると、大きな移相量を発生させることができる。このため、本実施形態の構成によれば、移相量の設定範囲を大きく確保することができる。

【0070】ところで、上記の実施形態においては、第2および第3FET82, 84の双方を第1および第2の共通ストリップ導体104, 106で挟まれる領域の外側に形成することとしているが、本発明は、これに限定されるものではなく、何れか一方のFETのみを上記の領域外に形成し、他方のFETを上記の領域内に形成することとしてもよい。

【0071】また、上記の実施形態においては、第1のFET80を図4における上部に偏った部位に形成し、かつ、第2および第3のFET82, 84を図4における下部に偏った部位に形成することとしているが、本発明はこれに限定されるものではなく、それら3つのFETを、図4におけるそれらの高さ方向の位置が互いに重複するように形成してもよい。上記の構成によれば、移相回路78をより小型化することができる。

【0072】実施の形態5. 次に、図5を参照して本発明の実施の形態5について説明する。尚、図5において、上記図4に示す構成部分と同一の部分については、同一の符号を付してその説明を省略または簡略する。

【0073】図5は、本発明の実施の形態5の移相回路116の構成図を示す。本実施形態の移相回路116は、第1乃至第3FET80~84を備えている。移相回路116は、第2FET82および第3FET84が共に第1または第2の共通ストリップ導体104, 106に対して第1FET80と同じ側に、すなわち、第2および第3FET82, 84が、共に第1および第2の共通ストリップ導体104, 106で挟まれる領域内に形成されている点に第1の特徴を有している。

【0074】また、本実施形態の移相回路116は、第2FET82のソース電極94と、第3FET84のソース電極90とが、第3の共通ストリップ導体118を介して接続されている点に第2の特徴を有している。第3の共通ストリップ導体118は、第1および第2の共通ストリップ導体104, 106と同じ長手方向を有している。

【0075】更に、本実施形態の移相回路116は、第

1乃至第3FET80~84が、それぞれ、所望の移相量を確保するためのゲート幅を備えている点に第3の特徴を有している。第1乃至第3FET80~84において、それぞれのFETが備えるドレイン電極とソース電極との間には、ほぼそれらの電極と長さの等しいゲートが形成される。上記のゲート長は、各FETが備える全てのゲートの長さの総和である。

【0076】次に本実施形態の移相回路116の動作を説明する。高周波信号が半導体基板12上のストリップ導体14に入力すると、その信号は第1のマイクロストリップ線路16を伝搬して第1の共通ストリップ導体104に到達する。

【0077】第1FET82がオン状態であり、かつ、第2および第3FET82, 84がオフ状態である場合、第1のマイクロストリップ線路16を伝搬する高周波信号は第1FET80を介してストリップ導体15に伝達される。以後、その信号は第2のマイクロストリップ線路17を通過して出力される。以下、高周波信号が上記の経路で伝搬される状態を第1の状態と称す。

【0078】一方、第1FET80がオフ状態であり、かつ、第2および第3FET82, 84がオン状態である場合、第1のマイクロストリップ導体17を伝搬する高周波信号は、第2FET82、第3の共通ストリップ導体118、および、第3FET84を通過してストリップ導体15に伝達され、その後、第2のマイクロストリップ線路17を介して出力される。以下、高周波信号が上記の経路で伝搬される状態を第2の状態と称す。

【0079】以上に示したように、本実施形態の移相回路78によれば、第1乃至第3FET80~84を適当に制御することにより、信号が第1FET80を通過する第1の状態と、信号が第2および第3FET94, 96を通過する第2の状態とを切り換えることができる。第1乃至第3FET80~84は、それぞれ寄生キャパシタンスおよび寄生インダクタンスを有している。このため、第1の状態が実現されている場合と、第2の状態が実現されている場合とで、高周波信号はキャパシタンスおよびインダクタンスの異なる経路を通過する。

【0080】第1乃至第3FET80~82の寄生キャパシタンスおよび寄生インダクタンスは、それらのゲート長により制御することができる。本実施形態において、第1乃至第3FET80~82のゲート長は、上記の如く移相回路116が所望の移相量を発生するようにそれぞれ設定されている。このため、本実施形態の構成によれば、第1乃至第3FET80~84の寄生キャパシタンスおよび寄生インダクタンスを利用して所望の移相量を発生する低移相量の移相回路116を実現することができる。

【0081】本実施形態の移相回路116において、第1乃至第3FET80~84は、第1または第2の共通ストリップ導体104, 106により、直接的に第1ま

たは第2のマイクロストリップ線路16, 17に接続されている。このため、移相回路116においては、第1および第2の状態の何れにおいても、高周波信号の流通経路内に、その信号の位相に大きな影響を与える反射源は生成されない。このため、本実施形態の移相回路116によれば、移相量誤差を有効に低減することができる。

【0082】また、本実施形態の移相回路116においては、上記の如く、第2および第3FET82, 84が共に第1および第2の共通ストリップ導体104, 106の間に挟まれる領域に配置されている。上記の構成によれば、半導体基板12上のスペースを有効に利用して移相回路116を小型化することができる。

【0083】更に、本実施形態の移相回路116においては、上記の如く、第2および第3FET82, 84が第3の共通ストリップ導体118を介して接続されている。第3の共通ストリップ導体118は、図5における上下方向を長手方向としている。上記の構成によれば、第1および第2の共通ストリップ導体104, 106に挟まれる領域内で、第2および第3FET82, 84のドレイン電極88, 90およびソース電極94, 96に長い軸長を与えることができる。

【0084】第2および第3FET82, 84の寄生キャパシタンスの設定範囲は、それらのドレイン電極88, 90およびソース電極94, 96が長いほど大きくなる。また、移相回路116が発生する移相量の設定範囲は、第2および第3FET82, 84の寄生キャパシタンスの設定範囲が広いほど大きくなる。このため、本実施形態の移相回路116によれば、回路の小型化を図りつつ、移相量の設定範囲を大きく確保することができる。

【0085】ところで、上記の実施形態においては、第2の状態において高周波信号が通過する経路を第2および第3FET82, 84で実現することとしているが、本発明は、これに限定されるものではなく、上記の経路を、単一のFETで構成することとしても良い。

【0086】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。

【0087】請求項1記載の発明によれば、キャパシタが第1および第2のマイクロストリップ線路の間に配置されているため、第1および第2のマイクロストリップ線路とキャパシタとを結ぶストリップ導体を短くすることができる。上記に構造によれば、電界効果トランジスタがオフ状態である場合に信号が流通する経路を、ほぼ純粋なキャパシタとして動作させることができると共に、電界効果トランジスタがオン状態である場合に、信号の流通経路に大きな反射源が生成されるのを回避することができる。このため、本発明によれば、移相量誤差を容易に低減させることができる。

【0088】請求項2記載の発明によれば、キャパシタがインターディジタルキャパシタで構成されているため、第1および第2のマイクロストリップ線路とキャパシタとを結ぶ経路を十分に短くすることができる。このため、本発明によれば、移相量誤差を容易に低減させることができる。

【0089】請求項3記載の発明によれば、インターディジタルキャパシタを構成する第1および第2のストリップ導体が、電界効果トランジスタが備えるドレイン電極およびソース電極に比して長いため、インターディジタルキャパシタに大きな容量を確保することができる。このため、本発明によれば、移相量の設定範囲を大きく確保することができる。

【0090】請求項4記載の発明によれば、キャパシタの両側に第1および第2の電界効果トランジスタが配置されているため、それらをオン状態とすることで、第1および第2のマイクロストリップ線路間のインピーダンスを十分に下げることができる。このため、本発明によれば、移相量誤差を容易に低減させることができる。

【0091】請求項5記載の発明によれば、第1乃至第3の電界効果トランジスタの状態を適当に制御することで、第1の電界効果トランジスタが信号の流通経路となる第1の状態と、第2および第3の電界効果トランジスタが信号の流通経路となる第2の状態とを切り換えることができる。第1の状態と第2の状態とは、流通経路が異なることに起因して、信号に異なる通過位相が生ずる。このため、上記の構造によれば、移相回路に要求される所望の機能を実現することができる。

【0092】また、本発明においては、第1および第2の電界効果トランジスタが第1の共通ストリップ導体を介して第1のマイクロストリップ線路に接続されており、かつ、第1および第3の電界効果トランジスタが第2の共通ストリップ導体を介して第2のマイクロストリップ線路に接続されている。このため、第1および第2の状態の何れにおいても、信号の流通経路内に信号の反射源は形成されない。従って、本発明によれば、移相量誤差を容易に低減させることができる。

【0093】請求項6記載の発明によれば、第1乃至第3の電界効果トランジスタが所望のゲート幅を有している。このため、第1乃至第3の電界効果トランジスタは、オフ状態である場合に、それぞれ、適当な寄生キャパシタンスを発生する。本発明によれば、それらの寄生キャパシタンスに起因して、第1の状態と第2の状態とが切り換えられた際に、適当な移相量を発生させることができる。

【0094】請求項7記載の発明によれば、第2の電界効果トランジスタが第1の共通ストリップ導体に対して第2の電界効果トランジスタと反対側に形成されている。上記の構造によれば、第2の電界効果トランジスタと第3の電界効果トランジスタとの間に、ある程度の距

離が確保できる。

【0095】本発明においては、上記の距離を利用して第2の電界効果トランジスタと第3の電界効果トランジスタとの間に両者を結ぶ所定長の第3のマイクロストリップ線路を形成している。上記の構造によれば、第3のマイクロストリップ線路の電気長を移相量の確保に利用することができる。このため、本発明によれば、比較的大きな移相量を確保し、かつ、その移相量誤差を容易に低減させることができる。

【0096】請求項8記載の発明によれば、第2の電界効果トランジスタと同様に、第3の電界効果トランジスタが、第2の共通ストリップ導体に対して第1の電界効果トランジスタの反対側に配置されている。上記の構造によれば、第2の電界効果トランジスタと、第3の電界効果トランジスタとの間に大きな距離を確保することができるため、より大きな移相量を確保することが可能となる。

【0097】請求項9記載の発明によれば、第2および第3の電界効果トランジスタが、第1の電界効果トランジスタと同じ側に形成されている。このため、本発明によれば、移相回路を小型に形成することができる。

【0098】請求項10記載の発明によれば、第2および第3の電界効果トランジスタが、第1および第2の共通ストリップ導体と同じ長手方向を有する第3の共通ストリップ導体を介して接続されている。上記の構造によれば、第2および第3の電界効果トランジスタを、第1および第2の共通ストリップ導体の間に形成すると共に、第2および第3の電界効果トランジスタの間に確保すべき距離を十分に短くすることができる。上記の構造によれば、移相回路を小型化できると共に、第2および第3の電界効果トランジスタに大きな寄生抵抗を与えて、大きな移相量を確保することができる。

【0099】請求項11記載の発明によれば、第1および第2の電界効果トランジスタの状態を適当に制御することで、第1の電界効果トランジスタが信号の流通経路となる第1の状態と、第2の電界効果トランジスタが信号の流通経路となる第2の状態とを切り換えることができる。第1および第2の電界効果トランジスタは、それぞれ適当なゲート幅を有している。このため、第1の状

態と第2の状態とを切り換えると、所望の移相量を確保することができる。

【0100】また、本発明においては、第1および第2の電界効果トランジスタが第1の共通ストリップ導体を介して第1のマイクロストリップ線路に接続されており、かつ、それらが、第2の共通ストリップ導体を介して第2のマイクロストリップ線路に接続されている。このため、第1および第2の状態の何れにおいても、信号の流通経路内に信号の反射源は形成されない。従って、本発明によれば、移相量誤差を容易に低減させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の移相回路の構成図である。

【図2】 本発明の実施の形態2の移相回路の構成図である。

【図3】 本発明の実施の形態3の移相回路の構成図である。

【図4】 本発明の実施の形態4の移相回路の構成図である。

【図5】 本発明の実施の形態5の移相回路の構成図である。

【図6】 従来の移相回路の構成図である。

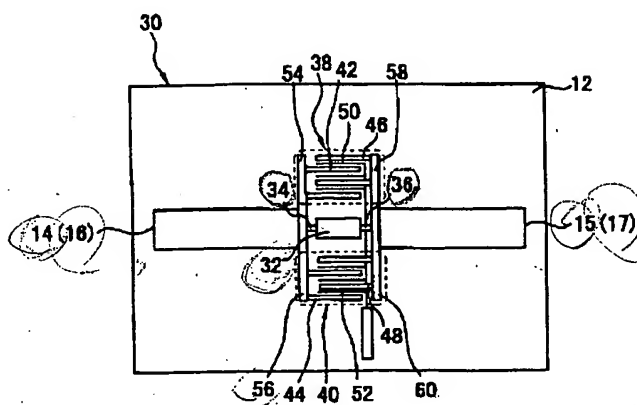
【符号の説明】

12 半導体基板、 14, 15, 34, 36; 11
2 ストリップ導体、 16 第1のマイクロストリップ線路、 17 第2のマイクロストリップ線路、
30; 62; 70; 78; 116 移相回路、 32
キャパシタ、 38; 80 第1の電界効果トランジスタ (第1 FET)、 40; 82 第2の電界効果トランジスタ (第2 FET)、
42, 44; 86, 88, 90 ドレイン電極、 46, 48; 92, 94, 96 ソース電極、 54, 56 ドレイン端子、
58, 60 ソース端子、 64; 72 インターデジタルキャパシタ、 66; 74 第1のストリップ導体、 68; 76 第2のストリップ導体、
104 第1の共通ストリップ導体、 106 第2の共通ストリップ導体、 114 第3のマイクロストリップ線路、 118 第3の共通ストリップ導体。

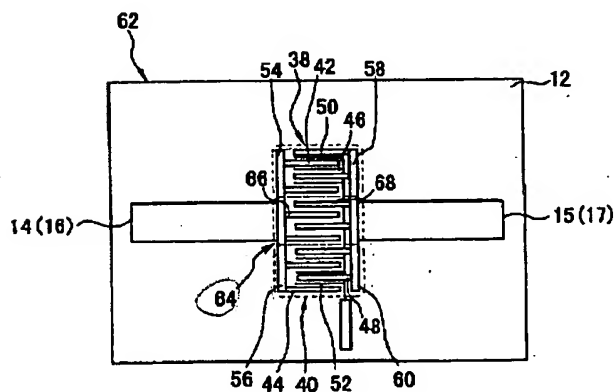
(11)

特開平 1 1 - 3 3 0 3 6 9

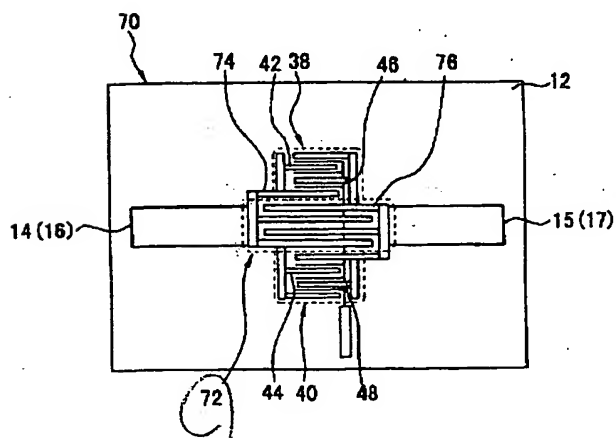
【図 1】



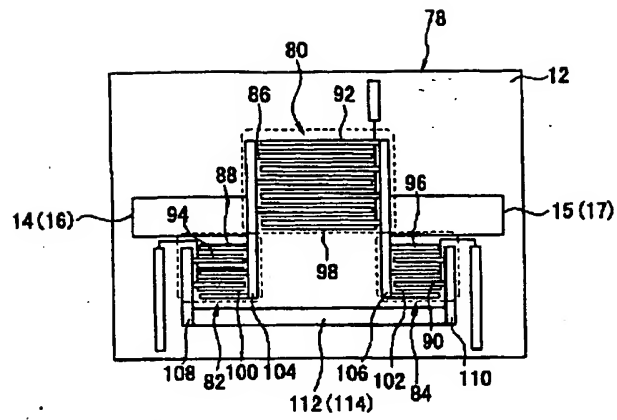
【図 2】



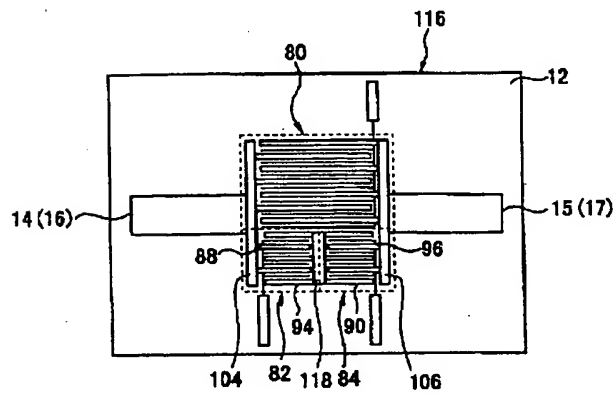
【図 3】



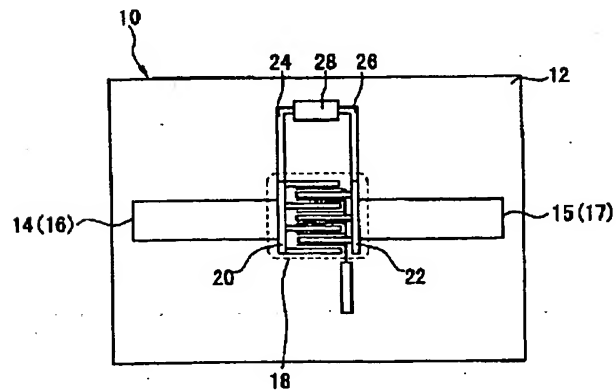
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁶
H03H 7/18

識別記号

F I